

First Hit☐ **Generate Collection** **Print**

L1: Entry 1 of 2

File: JPAB

Mar 24, 1982

PUB-NO: JP357050023A

DOCUMENT-IDENTIFIER: JP 57050023 A

TITLE: SPEED COMMANDING CIRCUIT OF POSITIONING SERVO DRIVE DEVICE

PUBN-DATE: March 24, 1982

INVENTOR-INFORMATION:

NAME

COUNTRY

NIIHAMA, TSUGUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOYO ELECTRIC MFG CO LTD

APPL-NO: JP55125358

APPL-DATE: September 11, 1980

US-CL-CURRENT: 318/616

INT-CL (IPC): G05D 3/20

ABSTRACT:

PURPOSE: To improve positioning precision with simple constitution by obtaining a speed command variable by a speed pattern generating circuit relating to an acceleration-deceleration run distance based upon a stop point.

CONSTITUTION: In an up/down counter 6, an acceleration-deceleration run distance Sv from a stop position is held and used as the address signal of a speed pattern generator 7. In the memory MEM of the pattern generator 7, values for which an equation (where k is a constant and α is acceleration) holds are stored for constant acceleration-deceleration control, thereby obtaining a speed command pulse string OUT' which corresponds to the acceleration-deceleration run distance Sv. Under the control of a control means 3', the pulse OUT' is applied to the up or down terminal of the up/down counter 6 through a frequency divider 8 to vary the acceleration-deceleration run distance Sv. The application of the pulse string to the counter terminal is performed only during acceleration or deceleration.

COPYRIGHT: (C)1982, JPO&Japio

First Hit

Generate Collection

Print

L10: Entry 30 of 37

File: JPAB

Mar 24, 1982

DOCUMENT-IDENTIFIER: JP 57050023 A

TITLE: SPEED COMMANDING CIRCUIT OF POSITIONING SERVO DRIVE DEVICEAbstract Text (1):

PURPOSE: To improve positioning precision with simple constitution by obtaining a speed command variable by a speed pattern generating circuit relating to an acceleration-deceleration run distance based upon a stop point.

Abstract Text (2):

CONSTITUTION: In an up/down counter 6, an acceleration-deceleration run distance S_v from a stop position is held and used as the address signal of a speed pattern generator 7. In the memory MEM of the pattern generator 7, values for which an equation (where k is a constant and α is acceleration) holds are stored for constant acceleration-deceleration control, thereby obtaining a speed command pulse string OUT' which corresponds to the acceleration-deceleration run distance S_v . Under the control of a control means 3', the pulse OUT' is applied to the up or down terminal of the up/down counter 6 through a frequency divider 8 to vary the acceleration-deceleration run distance S_v . The application of the pulse string to the counter terminal is performed only during acceleration or deceleration.

⑫ 公開特許公報 (A)

昭57—50023

⑤ Int. Cl.³
G 05 D 3/20

識別記号

庁内整理番号
6432—5H

④ 公開 昭和57年(1982)3月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑥ 位置決めサーボドライブ装置の速度指令回路

号東洋電機製造株式会社相模工
場内

⑦ 特 願 昭55—125358

⑦ 出 願 人 東洋電機製造株式会社

⑧ 出 願 昭55(1980)9月11日

東京都中央区八重洲2丁目7番
2号

⑨ 発 明 者 新浜継夫

海老名市東柏ヶ谷四丁目6番32

P 1

明 細 書

1. 発明の名称

位置決めサーボドライブ装置の速度指令回路

2. 特許請求の範囲

速度指令パルス列の周波数制御機能をもつ制御手段を備えてなる位置決めサーボドライブ装置において、加速中に停止点よりの加速走行距離をまたは減速中には停止点までの残距離をそれぞれ実時間で保持する保有手段と、その保有手段から与えられる距離情報を得てこの距離情報に対応されるパルスインターバルをもつ速度指令パルス列を送出する速度パターン発生器と、前記速度指令パルス列を得て信号発生する分周器とを設けてなることを特徴とする位置決めサーボドライブ装置の速度指令回路。

3. 発明の詳細な説明

本発明は加減速度制御を伴うNCマシンなどの連続位置決めサーボドライブシステムの装置に係り、その目的とするところは速度指令制御量を停止点に基づき加減速走行距離の関数として扱い、

P 2

加減速距離入力とパルス列出力との速度パターン信号を発生せしめて位置パラメータの一次元化となされた格別な装置を提供することにある。

従来直流電動機などの加減速度制御運転を伴う位置決め(コンターリング)サーボドライブシステムにおいては、その制御形態として最小分解能をもつ位置指令であるパルス列が与えられ、また制御対象の速度指令として同様の周波数をもつパルス列を発生し被制御対象よりの掃過パルス列を得て、これらのパルス列間で速度系を構成する、いわゆるデジタルサーボドライブ系の態様が一般的である。この種のデジタルサーボドライブにおいて、速度指令としての高速パルス列の周波数制御を行うため通常公知のデジタル微分解析器(以下DDAと称する)を基本構成要素とするものが用いられていた。この一例を第1図に示す。

第1図において1, 2は全加算器PAおよびレジスタREGからなるDDA、3は加速走行距離 S_a 、定速走行距離 S_p 、減速走行距離 S_d の各時間の例えばレジスタ部分を具備して演算時間の制御を行う

制御手段、4はアンド素子、5はデータセレクタを示している。また (8_a) 、 (-8_a) は加減速度レベル α をもつ加速度信号、減速度信号、CLKは基準クロック指令、OUTは速度指令パルス列である。すなわち第1図に示されるものは一定の加減速度でもって速度制御する最も簡単な例であり、その加減速度を時間積分して速度量を保有するDDA1とこのDDA1に示される速度量を積分してそのオーバーフローを位置指令とするDDA2との2個のDDA部分を基本構成成分としてなり、また図には示さないが例えばこの速度指令回路部分が用いられるドライブプロセスを管理する処理ソフトウェアでは前もって前記DDA部分の演算時間を移動データに基づいて演算しておき、これらをセットすることによって動作させるものとなっている。

しかるにかかる従来装置はつぎの問題点を有するものであった。すなわち、

(1) 図示の如く全てハードウェアでもって構成される場合、制御対象となる例えば位置、速度のみならずより滑らかな制御性をもつ際の加速度、加

速度微分などの制御変数につきそれぞれDDA部分を必要とするものとなってしまふ。さらに精度面の向上を図るなどによればかなり大規模なかつ複雑な構成のものになる。

(2) 前記制御変数のためのDDA部分のレジスタはそれぞれ演算時間セットのための初期設定が当然必要となり、さらにDDA部分には本質的に存在する演算誤差吸収の前処理を必要とする問題が生じる。これにより最適な加減速制御を行う場合、前処理プロセスの負荷が肥大化する。すなわち速度を零にしないで連続的な加減速コンターリングの場合、DDA部分は演算誤差を蓄積してゆくためにプロセス管理ソフトウェアが演算時間のみならずDDA部分の誤差補正をも前記レジスタにセットしなければならない。

(3) 仮にマイクロプロセッサなどを用いてストアードプログラムにて前記ハードウェア構成と等価的な実時間演算機能をもつようにすることが可能であるとしても、いま最高速度(最高パルス列周波数)出力時のパルス間隔の時間においてもDDA

ループを完結せねばならぬこととなり、マイクロプロセッサの処理速度が大きなネックとなる。さらにこの問題点を回避してストアードロジックの処理速度の向上を図るときには、いずれかの形でハードウェアの負担を大巾に増強することとなり、ストアード化本来のメリットが希薄になってしまうものとなる。

本発明は上述したような問題点に対処してなされたものであり、停止点よりの加速走行距離あるいは停止点までの減速走行距離を実時間で保持する手段とこの保持手段により示される距離を入力情報としてそれに一対毎に対応する速度指令パルス列を送出するパターン発生器を具備し、かつこの速度指令パルス列に対する分周出力を信号発生させる分周器を設けてなり、操作パラメータの一次元によるパターン発生器を主構成成分とする簡単なハードウェア構成となし任意に加減速パターンを形成し得るとともに前処理への負担を軽減できる装置を実現したものである。以下実施例図面を参照して説明する。

第2図は本発明による要部構成例を示すブロック図で、6はアップダウンカウンタ、7は速度パターン発生器、8は分周器である。また第3図は停止点に基づく加減速走行距離の関数を示す説明図である。かかる実施例のものは、本発明の主眼とするところの制御量としての速度指令を停止点したかつて速度量零からの加減速走行距離(以下 $8v$ と称する)の関数として扱い、この $8v$ 入力とパルス列出力とのパターン発生部分を主要構成要素として構成し分周器によりその加減速パターンが伸縮可能なものとなる。ここで制御手段3は速度指令パルス列OUTをカウントし、この速度指令パルス列OUTを入力とする分周器8出力をアンド素子4'、4''を介してアップダウンカウンタ6の加算入力端、減算入力端にそれぞれ導入するタイミングを制御する機能をもつものであればよい。また基準クロック指令CLKは制御の基準時間を与えるものである。

かくの如き本実施例は速度パターン発生器7が前記 $8v$ の入力を読み出し可能な公知のICメモリ

MEMおよび分周器DIVからなり、この速度パターン発生器7はアップダウンカウンタ6を $8V$ の保持から速度を $8V$ の一価関数として表現したときのパターン化がされているものであれば、分周器DIVに入力されるところのICメモリMEM出力は $8V$ に対応するパルスインターバルの時間が読み出せるようになっていることにより、 $8V$ 入力パルス列出力のパターン発生機能をもつこととなる。なお簡単な一定加減速度制御の場合、加速区間では速度 V は、

$$V = \sqrt{2a \cdot 8V} \quad \dots\dots\dots (1)$$

であるから、ICメモリMEMのアドレス(ADDR)と(DATA)の関係はつぎの(2)式で表わされる。

$$\frac{1}{(DATA)} = k \cdot \sqrt{2a \cdot (ADDR)} \quad \dots\dots\dots (2)$$

なお定数 k は基準クロック指令CLKと適用仕様とによって決定されるものである。

さらに制御手段3'は前述した如くアップダウンカウンタ6に $8V$ が保持されるように機能を発揮するものであり、これを第3図を用いて説明する。

る。

以上説明したように本発明によれば、速度指令制御量を停止点に基づく加減速走行距離の関数と扱う位置パラメータの一次元化による格別な装置を提供できる。

4. 図面の簡単な説明

第1図は従来装置の構成例を示すブロック図、第2図は本発明による要部構成例を示すブロック図、第3図は停止点に基づく加減速走行距離の関数を示す説明図である。

3, 3'……制御手段、6……アップダウンカウンタ、7……速度パターン発生器、8……分周器、 $8V_1, 8V_2$ ……加減速走行距離。

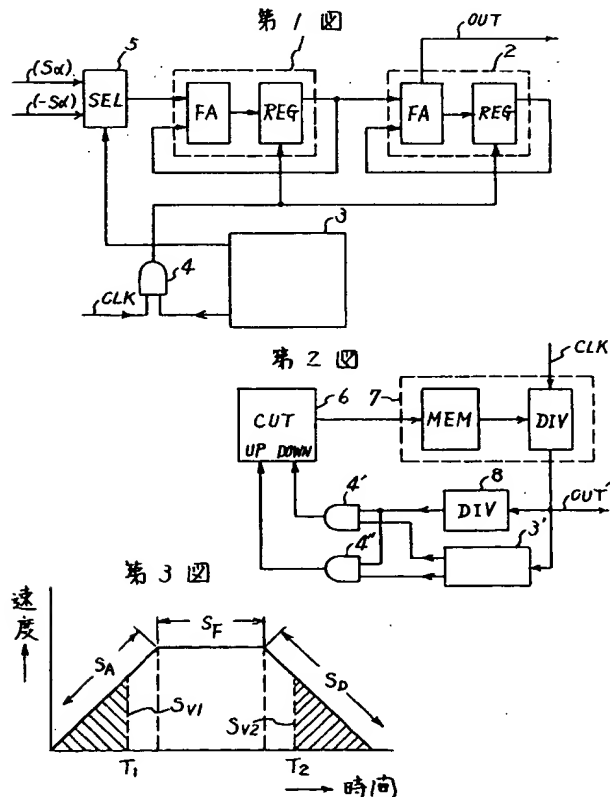
特許出願人

東洋電機製造株式会社

代表者 土井 厚

すなわち例示の如くの前加速走行距離 $8A$ 、定速走行距離 $8F$ 、減速走行距離 $8D$ のものにおいては、斜線面積に示されるように停止スタート点より時間 T_1 まで、時間 T_2 における停止点までの加減速時間 $8V_1, 8V_2$ に表わされる如く、停止点に基づきカウントして加速中アップダウンカウンタ6の加算入力端に、減速中アップダウンカウンタ6の減算入力端にそれぞれ分周器8出力を導入させその他のときには導入させない。また分周器8が付加されることで仮に N 倍のセットがされているものとすると、速度パターン発生器7が N ステップのパルス群につきパターン発生することになってメモリ空間にとらわれることなく加減速パターンの伸縮が可能となる。

またこのようにしてなる回路構成のものはプロセス管理側からみれば加減速走行距離 $8V$ のみで自在に速度指令制御ができるものであって、速度と位置の関係がテーブル化されてなり原理的に誤差を生じる要素を解消してディジタル制御にもかかわらず精度に関する考慮が不要となる利点を有す



手続補正書（自発）

昭和55年10月9日

特許庁長官 殿

1. 事件の表示

昭和55年特許願第125358号

2. 発明の名称

位置決めサーボドライブ装置の速度指令回路

3. 補正をする者

事件との関係 特許出願人

郵便番号 104

東京都中央区八重洲二丁目7番2号

(311) 東洋電機製造株式会社

代表者 土井 厚

4. 補正の対象

明細書の「発明の詳細な説明」の欄

5. 補正の内容

明細書第8頁第4行目「加減速時間」を「加減速走行距離」に訂正する。